

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-297911

(43)Date of publication of application : 12.11.1993

(51)Int.Cl.

G05B 19/05

(21)Application number : 04-102905

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 22.04.1992

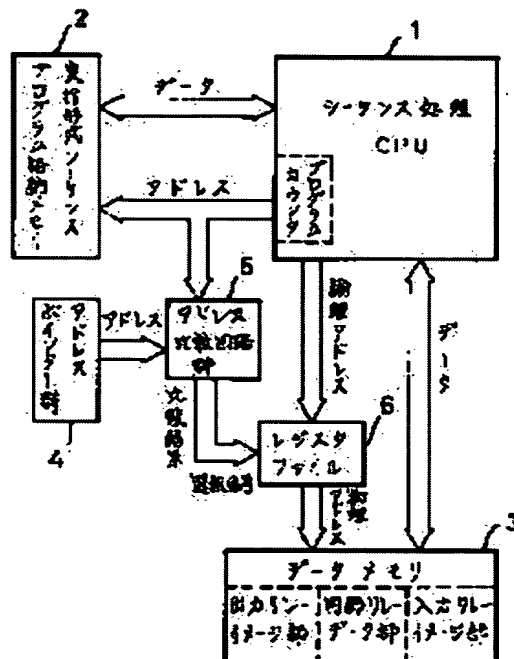
(72)Inventor : YOSHII HIROMITSU

(54) SEQUENCE CONTROL CIRCUIT FOR SEQUENCE CONTROLLER

(57)Abstract:

PURPOSE: To obtain the sequence control circuit which can change the physical addresses of a sequence program after compilation.

CONSTITUTION: This sequence control circuit has an address pointer group 4 for identifying the storage ranges of respective programs, a program counter which indicates a program place being executed, an address comparing circuit group 5 which compares them to identify the sequence program being executed, and a register file 6 stored with a coordinate table (address conversion table) wherein plural physical addresses and actual physical addresses are made to correspond to each other.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 2 9 7 9 1 1

(43) 公開日 平成5年(1993)11月12日

(51) Int. Cl.⁵

G 0 5 B 19/05

識別記号

庁内整理番号

F I

技術表示箇所

A 7361 - 3 H

審査請求 未請求 請求項の数 1

(全 3 頁)

(21) 出願番号 特願平4-102905

(22) 出願日 平成4年(1992)4月22日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 ▲吉▼井 弘光

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

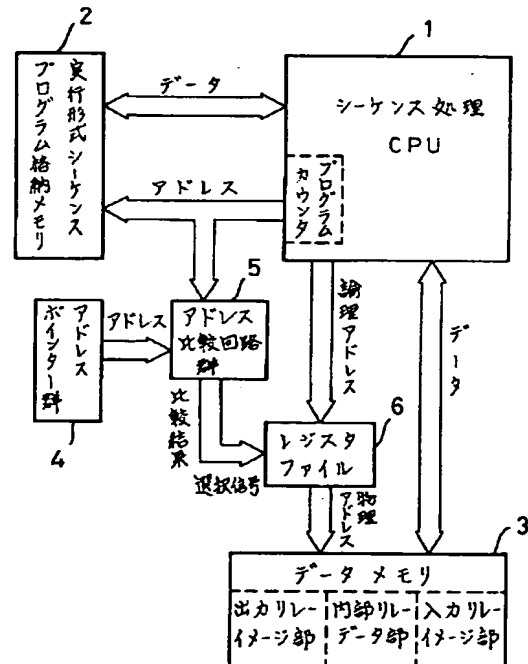
(74) 代理人 弁理士 武田 元敏

(54) 【発明の名称】 シーケンスコントローラ用シーケンス制御回路

(57) 【要約】

【目的】 コンパイル後のシーケンスプログラムの物理アドレスを変更することの可能なシーケンス制御回路を実現する。

【構成】 おおのこのプログラムの格納範囲を識別するためのアドレスポインタ群4と現在実行中のプログラム場所を示すプログラムカウンタと、これらと比較して、現在実行中のシーケンスプログラムを識別するためのアドレス比較回路群5と、複数の論理アドレスと実際の物理アドレスとを対応させる対応表(アドレス変換テーブル)がはいっているレジスタファイル6を持つシーケンス制御回路。



【特許請求の範囲】

【請求項1】 複数シーケンス処理プログラムをメモリ上に格納して実行するシーケンス制御回路において、おのおののプログラムの格納範囲を識別するためのアドレスポインターと、現在実行中のプログラム場所を示すプログラムカウンターと、これらを比較して現在実行中のシーケンスプログラムを識別するための比較回路と、複数の論理アドレスと実際の物理アドレスを対応させる対応表(アドレス変換テーブル)がはいっているレジスタファイルとを有するシーケンスコントローラ用シーケンス制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はコンパイル後のシーケンスプログラムの物理アドレスを変更することが可能なシーケンスコントローラ用シーケンス制御回路に関するものである。

【0002】

【従来の技術】 従来、シーケンスコントローラの動作を記述するラダー図においては、その命令の対象であるアドレスの記述方法として、実際の物理アドレスを記述するものが一般的であった。しかしながら、この方法においては、物理アドレスがプログラム記述時に決定していないと、プログラム記述が開始できないという欠点があった。更には、物理アドレスを変更する場合には、そのラダープログラム全体を検索して、変更しようとする物理アドレスが記述されている全ての部分を書き直す必要があった。この作業を軽減するために、ラダープログラム上では、論理アドレスを記述し論理アドレスと物理アドレスとを対応させる対応表を1カ所で記述するという方法を採用し、物理アドレスから論理アドレスへの変換はラダー図のコンパイル時に行い、コンパイルの結果得られた実行形式のシーケンスプログラムをシーケンスコントローラの実行用メモリ部にロードするというシステム構造を持つシーケンスコントローラが、近年みうけられるようになってきた。図2は従来例におけるシーケンス処理部のブロックを示すものである。図2において、1はシーケンス処理用CPU、2は実行形式シーケンスプログラム格納メモリ、3はデータを格納するデータメモリであり、メモリ3の中には、入力リレーの状態が取り込まれてデータとして入っている入力リレーイメージ部と、シーケンス処理の結果出力リレーに書き込まれるべきデータが格納される出力リレーイメージ部と、内部リレーの状態をデータとして格納しておく内部リレーデータ部に分かれている。シーケンス処理は、シーケンス処理CPU1がアドレスを出力して実行形式シーケンスプログラムメモリ2よりプログラムをデータとして読み込み、その内容に基づいてデータメモリ3に対して物理アドレスを出力してリレー状態をデータとして読み込み、シーケンス処理をした後、データメモリ3に

リレーデータを書き込むという順番で行われる。

【0003】

【発明が解決しようとする課題】 しかしながら、従来のシーケンスコントローラでは、物理アドレスがコンパイル時に決定されてしまうために、物理アドレスを変更する場合は、ラダー図を修正して再度コンパイルする必要があった。本発明は、上記問題点に鑑み、コンパイル後のシーケンスプログラムの物理アドレスを変更するシーケンスコントローラ用シーケンス制御回路を提供することを目的とするものである。

【0004】

【課題を解決するための手段】 この目的を達成するために本発明のシーケンス制御回路は、おのおののシーケンスプログラムの格納範囲を識別するためのアドレスポインターと、現在実行中のプログラム場所を示すプログラムカウンターと、これらを比較して、現在実行中のシーケンスプログラムを識別するための比較回路と、複数の論理アドレスと実際の物理アドレスとを対応させる対応表(以下、アドレス変換テーブルという)がはいっているレジスタファイルを有するものである。

【0005】

【作用】 本発明は上記の構成により、コンパイル後のプログラムの実行において、入出力リレー部及び内部リレー部のアドレスをレジスタファイル内のアドレス変換テーブルの働きにより、任意のアドレスに変更できる。更には、プログラムカウンターと実行プログラムのアドレスが設定されたアドレスポインターとアドレス比較器の働きによりその変更が実施される実行プログラムのアドレス範囲が設定できる。

【0006】

【実施例】 本発明の実施例について図面を参照しながら説明する。図1は本発明の一実施例におけるシーケンス制御回路のシーケンス処理部のブロックを示すものである。図1において、1はシーケンス処理用CPU、2は実行形式シーケンスプログラム格納メモリ、3はデータを格納するデータメモリであり、メモリ3の中には、入力リレーの状態が取り込まれてデータとして入っている入力リレーイメージ部と、シーケンス処理の結果出力リレーに書き込まれるべきデータが格納される出力リレーイメージ部と、内部リレーの状態をデータとして格納しておく内部リレーデータ部に分かれている。4はアドレスポインター群であって、アドレスポインターそれぞれに実行形式シーケンスプログラムの開始及び終了アドレスが入っている。5はアドレス比較回路群で、比較回路それぞれは各々対応しているアドレスポインターが保持しているアドレスとシーケンス処理CPU1のプログラムカウンターが出力するアドレスを比較し、比較結果をレジスタファイル6の選択信号として供給する。以下シーケンス処理が行われる内容について説明する。まず、シーケンス処理の開始前に、アドレスポインター群4に、

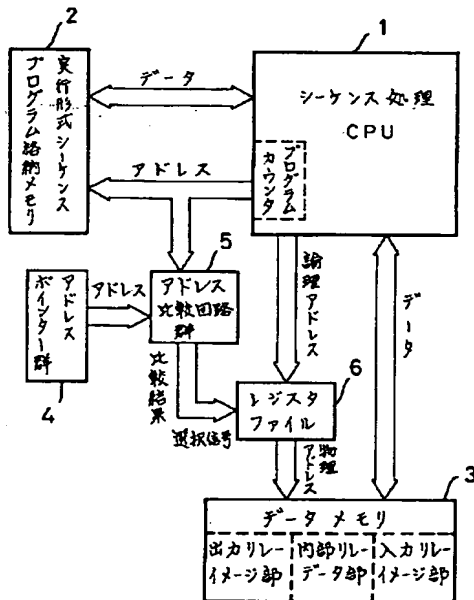
3

シーケンスプログラムの各ブロックの開始及び終了アドレスをロードする。アドレスポインター群及びアドレス比較回路群5に対応した選択信号によって選択されるレジスタファイル6のそれぞれのファイルに、対応するシーケンスプログラムにおいて使用するアドレス変換テーブルのデータをロードしておく。この結果、シーケンスプログラムが実行されると、そのシーケンスプログラムの実行中のアドレスに対応したアドレス変換テーブルが自動的に選択される。このアドレス変換テーブルの中身を書き換えることにより、物理アドレスを変更できる。

【0007】

【発明の効果】上記実施例から明らかなように本発明は、おのおののプログラムの格納範囲を識別するためのアドレスポインターと、現在実行中のプログラム場所を示すプログラムカウンタと、これらと比較して現在実行中のシーケンスプログラムを識別するための比較回路

【図1】



4

と、複数の論理アドレスと実際の物理アドレスを対応させる対応表(アドレス変換テーブル)がはいっているレジスタファイルを持つことにより、コンパイル後のシーケンスプログラムの物理アドレスを変更することが可能なシーケンス制御回路を実現することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例におけるシーケンス制御回路のシーケンス処理部のブロック図である。

10 【図2】従来例におけるシーケンス処理部のブロック図である。

【符号の説明】

1…シーケンス処理CPU、 2…実行形式シーケンスプログラム格納メモリ、 3…データメモリ、 4…アドレスポインター群、 5…アドレス比較回路群、 6…レジスタファイル。

【図2】

